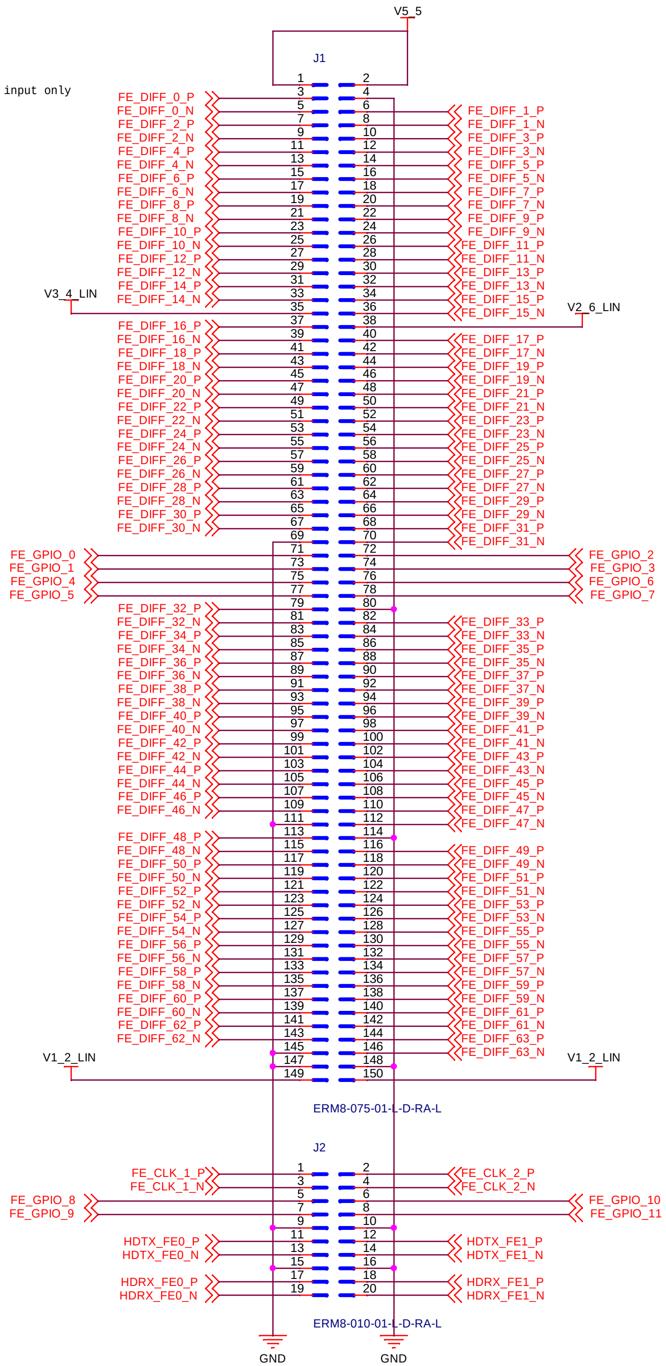
All even FE_DIFF are I/O, all odd are input only

All FE_GPIO are equal. Swap them as necessary.
but keep lines identical on all AddOns!



Anmerkungen:

Silkscreen nur für wichtigen Text (Stecker) und Pin1 Markierungen. Abstand von Bauteilen halten.

Wenn möglich ritzen statt Stege. Min 1mm Abstand von Rand reicht.

Bauteile nach technischer Möglichkeit dicht gruppieren (Kondensatoren an Powerpins etc).

In den PDF sieht man es nicht, aber die ganzen Verbindungen sollten schon so liegen, dass es praktisch keine Überkreuzungen gibt.
Die AddOns sollten sich also mit 2 differentiellen Lagen mit passender Impendanz für die I/O bauen lassen.

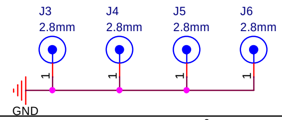
Die Steckerbelegung ist so, dass alle AddOns im TDC-Betrieb frei gewechselt werden können ohne ein eigenes FPGA-Design zu brauchen.
Die Eingänge sind für TDC passend verteilt, die output-fähigen Pins sind nach einem einfachen Schema angeordnet und die DQS-Gruppen liegen zusammen.

Alle SPI-Signale sind langsam und unkritisch und können fast beliebig geroutet werden.

Die ICs sind auf allen Boards identisch, nur die Stecker variieren.

Die notwendigen Maße habe ich ja schon letzte Woche rumgeschickt.

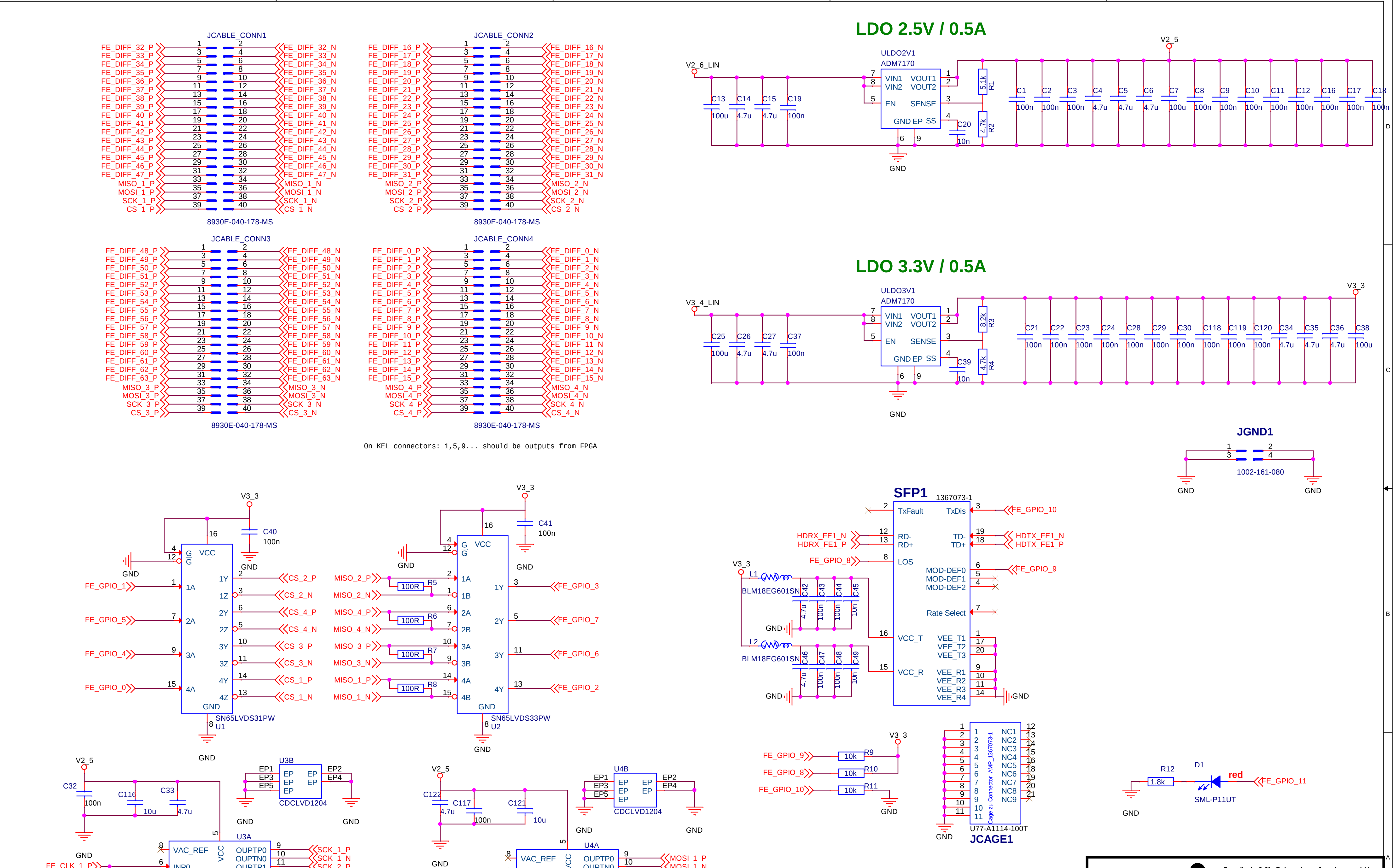
Bohrungen in den Ecken der Leiterplatte platzieren



Gesellschaft für Schwerionenforschung mbH
Planckstrasse 1
D-64291 Darmstadt
GERMANY
www.gsi.de

TRB5SC_Addon_4Conn

Design: K:\GSI\JOB\HADES\TRB5SC\TRB5SC_ADDON_4CONN\TRB5SC_ADDON_4CONN.DSN
Modified: Tuesday, October 23, 2018 | Size: A3 | Page: 1 / 2
Designer: M.Traxler | Layouter: H.Kayan



Gesellschaft für Schwerionenforschung mbH
Planckstrasse 1
D-64291 Darmstadt
GERMANY
www.gsi.de

TRB5SC_Addon_4Conn

Design: K:\GSI\JOB\HADES\TRB5SC\TRB5SC_ADDON_4CONN\TRB5SC_ADDON_4CONN.DSN
Modified: Tuesday, October 23, 2018 | Size: A3 | Page: 2 / 2
Designer: M.Traxler | Layouter: H.Kayan